

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-148944

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

H03M 13/12
G11B 20/14
G11B 20/18
G11B 20/18
G11B 20/18
H04B 7/005
H04L 25/08

(21)Application number : 07-328359

(71)Applicant : SONY CORP

(22)Date of filing : 22.11.1995

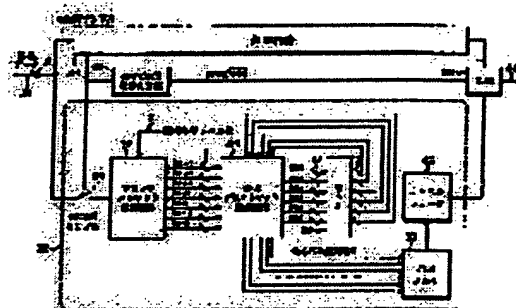
(72)Inventor : HAYASHI NOBUHIRO

(54) VITERBI DECODER AND INFORMATION REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the delay for decoding of a sector ID to reduce the gap between the sector ID and a data part.

SOLUTION: Reproduced data 31 which is encoded by an 8/10 MSN (matched spectrum null) code and passes a partial response PRV system is supplied, and even numbered sequences and odd numbered sequences are subjected to Viterbi decoding by processing circuits 32 and 33. The maximum likelihood path selection result is supplied to a path memory 38. The path memory 38 has the path memory length switched between sector ID decoding and normal data decoding. At the time of decoding the sector ID, the path memory length is made shorter to shorten the delay for decoding of the sector ID.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Unexamined Japanese Patent Publication 09-148944
Published 6 June 1997
Translation of Specification and Claims into English
By Japanese Patent Office
With Japanese Drawings

Application number: 07-328359
Filing date: 22 November 1995

Inventor(s): Hayashi, Nobuhiro
Applicant: Sony Corp.

[Claim(s)]

[Claim 1] The Viterbi decoder characterized by having pass memory with die length equal to the code length who does termination of the pass memory to the data length which input data is supplied, and calculates branch metric, adds calculated branch metric, asks for pass metric, and is decoded in the Viterbi decoder it was made to output the maximum ** pass from called-for pass metric.

[Claim 2] It is the information regenerative apparatus which has the Viterbi decoder which decodes a regenerative signal with a maximum likelihood decoding method in the information regenerative apparatus which reproduces the record medium with which the position data of a record medium were recorded using the partial response method, and is characterized by equipping the above-mentioned Viterbi decoder with pass memory with die length equal to the code length who does termination of the pass memory to the data length to decode.

[Claim 3] Equipment characterized by having further a channel decode means which decodes channel coding to become irregular so that it may become beyond a value with the minimum distance of signs which can be taken in an information regenerative apparatus according to claim 2 while changing a 8-bit information word into a 10-bit symbolic language.

[Claim 4] It is the information regenerative apparatus characterized by having the decode table it was made not to need for decode of the following symbolic language of the symbolic language which should decode the above-mentioned channel decode means in an information regenerative apparatus according to claim 3.

[Claim 5] It is equipment characterized by being data for checking that the above-mentioned decode data have the record reproducing head in a position in equipment according to claim 1 or 2.

[Claim 6] The above-mentioned pass memory is equipment characterized by changing pass memory length by whether it is data for checking that the record reproducing head has the above-mentioned decode data in a position in equipment according to claim 1 or 2.

[Claim 7] Equipment characterized by having further a means to add the signal which detects the bit error of playback data to locations other than the last section of the data concerned in equipment according to claim 1 or 2.

[Claim 8] Equipment characterized by having a means to change so that it may become the fixed value which has a certain specific bit among a means to add the signal which detects the bit error of playback data to locations other than the last section of the data concerned in equipment according to claim 1 or 2, and the signal which detects the above-mentioned bit error.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the information regenerative apparatus which used the Viterbi decoder and it which are applied to reproducing digital data from a magnetic disk, a magnetic tape, etc.

[0002]

[Description of the Prior Art] It sets to a magnetic recording medium and is the partial response class IV as a modulation code. PR (1, 0, -1) or class I PR (1 1) may be used. The block diagram shows drawing 1 about Class IV among the systems of the record playback. A signal is modulated and recorded with the channel encoder 11. Since the recorded signal passes along the magnetic-recording reversion system 12, it is differentiated, and it is reproduced as a signal with which the noise was added. The magnetic-recording reversion system 12 is what looked at a record circuit, a recording head, a record medium, the reproducing head, and a regenerative circuit integrative, and contains the system 13 of system polynomial $1-D$, and the adder 14 with which it is superimposed on a noise. Identification of the regenerative signal is carried out to the partial response class IV by the equalizer 15, and it is decoded by the Viterbi decoder 16 decoded with a maximum likelihood decoding method. The decoded signal is changed and outputted to the original data by the channel decoder 17.

[0003] Since $G(D) = 1-D^2$ and the system polynomial of PR (1 -1) are $G(D) = 1-D$, the partial response class IV, i.e., the system polynomial of PR (1, 0, -1), can regard PR (1, 0, -1) as two independent PR (1 -1) being nests by turns on a time slot. Therefore, by the magnetic-recording system, as shown in drawing 2, the decoder 1 of a partial response can be divided into the decoders 2 and 3 of two PR (1 -1). That is, an input sequence is divided into an even number sequence and an odd number sequence by the input switcher 4, an even number sequence is supplied to a decoder 2, and an odd number sequence is supplied to a decoder 3, and after processing each sequence independently, it compounds by the output switcher 5. Thus, what combined various modulation codes with the system of PR (1 -1) is dealt with in many cases.

[0004] As a decoding method, maximum likelihood decoding is known so that it may be represented by the Viterbi decoder 16 shown in drawing 1. This is the approach of presuming the probable sequence as one sequence also using the value of the sample

point before and behind the noted point. The Viterbi decoder is ACS (Add Compare Select) which calculates pass metric, survives and presumes pass. It consists of parts of the pass memory for obtaining a decoding result from the presumed result. Processing which calculates pass metric is performed by comparing size relation with each pass, although the pass metric value in front of 1 sample and the branch metric value were applied.

[0005] Moreover, the Matched Spectral Null sign (it abbreviates to an MSN sign below) which can take the large minimum Euclidean distance between signs is combined with a partial response, and the technique of having heightened ability to detect is also proposed by carrying out Viterbi decoding of this (for example, U.S. Pat. No. 5,095,484).

[0006]

[Problem(s) to be Solved by the Invention] In the circuit which carries out Viterbi decoding of the conventional MSN sign, in order to decide a maximum likelihood sequence, there was a problem that pass memory was required for a long time, and decoding delay after a regenerative signal is inputted into the Viterbi decoder until a decode result is outputted became large. Moreover, when changing a channel sign into the original sign depending on the class of MSN sign, channel decode needed to be carried out using the data which come to the degree, and there was a problem that decoding delay became still larger by it. Thus, if decoding delay becomes large, for example with a magnetic disk, it will be necessary to enlarge the gap between sectors, and will become the factor which decreases the storage capacity on which this can record data.

[0007] Therefore, the purpose of this invention is to offer the maximum-likelihood-decoding machine which can make decoding delay small, and an information regenerative apparatus.

[0008]

[Means for Solving the Problem] It is the Viterbi decoder carried out [that invention of claim 1 is equipped with pass memory with the length equal to the code length who does termination of the pass memory to the data length which input data is supplied, and calculates branch metric, adds calculated branch metric, asks for pass metric, and is decoded in the Viterbi decoder it was made to output the maximum ** pass from called-for pass metric, and] as the description.

[0009] Invention of claim 2 has the Viterbi decoder which decodes a regenerative signal with a maximum likelihood decoding method in the information regenerative apparatus which reproduces the record medium with which the position data of a record medium were recorded using the partial response method, and the Viterbi decoder is an information regenerative apparatus characterized by having pass memory with the length equal to the code length who does termination of the pass memory to the data length to decode.

[0010] While the information regenerative apparatus by this invention changes a 8-bit information word into a 10-bit symbolic language, it has further a channel decode means

which decodes channel coding to become irregular so that it may become beyond a value with the minimum distance of signs which can be taken. This channel decode means has the decode table it was made not to need for decode of the following symbolic language of the symbolic language which should be decoded.

[0011] In the circuit which carries out Viterbi decoding of the MSN sign, although 120-140 bits of pass memory are required, when the data itself to decode are shorter than it like Sector ID, the decoding delay at the time of sector ID decoding can be decreased by making pass memory length almost equal to a data length.

[0012]

[Embodiment of the Invention] Hereafter, one example of this invention is explained. Drawing 3 shows the configuration of one example which applied this invention to data storage. The data to record are outputted from a hard disk controller, and with the channel encoder 28, an MSN sign becomes irregular and they are recorded on a record medium 29 (for example, eliminable optical disk) through the record amplifier 27. The method of channel coding is 8/10 conversion which changes a 8-bit information word into a 10-bit symbolic language so that a run length may be restricted. This 8/10 conversion is modulated so that it may become beyond a value with the minimum distance of symbolic languages which can be taken.

[0013] The signal reproduced from the record medium 29 is changed into a digital signal by A/D converter 22 through the playback amplifier 21, and identification is carried out to the property of the partial response class IV with an equalizer 23. A clock is reproduced by PLL26 from the signal by which identification was carried out. Moreover, after the signal by which identification was carried out is decoded by the Viterbi decoder 24 and decoded by the channel decoder 25, it is sent to a host computer via a hard disk controller. The channel decoder 25 changes a 10-bit symbolic language into a 8-bit information word conversely in the channel encoder 28.

[0014] In the channel encoder 28, processing which changes this into 10 bits by making 8 bits into a unit is performed. As an example, the channel encoder 28 has four conditions (0-3) in the interior, and input data (information word) is changed into a symbolic language according to drawing 4 and drawing 5 for every condition. It means being changed into what it meant that A was changed according to the list A of drawing 5 in drawing 4, and *A was changed according to the list A of drawing 5, and was reversed for every bit of the value, and means that phiA is changed according to the list which made reverse sequence of the value shown in the list A of drawing 5. List (143-255 of an information word) C is included in 120 symbolic languages (136-255 of an information word) of List G. For example, by 0, when 100 is inputted as an information word, the internal state of the channel encoder 28 outputs the symbolic language 380 of the head of List B, and sets an internal state to 1.

[0015] Drawing 6 shows the detailed configuration of an example of the Viterbi decoder 24. At intervals of a bit, a day interleave is carried out by the switcher 34 and the regenerative signal 31 sampled by A/D converter 22 is inputted into the circuit (decoder)

33 which processes the odd [32 or]-numbered circuit (decoder) sequence which processes the even-numbered sequence, respectively. The configuration of the circuit which processes the even-numbered sequence / odd-numbered sequence is mutually the same, and drawing 6 shows the detail of the circuit 32 which processes the even-numbered sequence.

[0016] It seems that the trellis which the eventh and odd-numbered Viterbi decoder for each sequences pursues is shown in drawing 7 here in the system which combined 8 / 10MSN signs with PR (1 -1) channel. Namely, it has six conditions in the interior and processes by putting the value of two continuous samples together. In drawing 7 , the notation shown in the left-hand side of each condition shows the detection result / decoder input of the Viterbi decoder by 2 bitwises. For example, the value inputted into the Viterbi decoder that it is with 01 / -11 - When it is 2 bits of 1 and 1, it means that a detection result becomes 2 bits of 01.

[0017] If z_1 , z_2 , and an amplitude reference level are set to R for the value of these two continuous samples, in the branch metric arithmetic circuit 35, branch metric bm_{-10} - bm_{10} will be calculated according to the following formula.

[0018] $bm_{-10} = R - 2z_1bm_{-11} = -2z_1 + 2z_2bm_{0-1} = R - 2z_2bm_{00} = 2Rbm_{01} = R + 2z_2bm_{1-1} = 2z_1 - 2z_2bm_{10} = R + 2z_1$ [0019] In the maximum ** pass metric selection circuitry 36, the maximum ** pass is chosen according to the regulation shown in a degree type, and pass metric is latched by latch 37. In this case, the formula which calculates pass metric becomes the following.

[0020]

$$pm'1 = \max \{pm1 + bm_{-11}, pm2 + bm_{01}\}$$

$$pm'2 = \max \{pm1 + bm_{0-1}, pm2 + bm_{1-1}, pm3 + bm_{-10}, pm4 + bm_{00}\}$$

$$pm'3 = \max \{pm1 + bm_{00}, pm2 + bm_{10}, pm3 + bm_{-11}, pm4 + bm_{01}\}$$

$$pm'4 = \max \{pm3 + bm_{0-1}, pm4 + bm_{1-1}, pm5 + bm_{-10}, pm6 + bm_{00}\}$$

$$pm'5 = \max \{pm3 + bm_{00}, pm4 + bm_{10}, pm5 + bm_{-11}, pm6 + bm_{01}\}$$

$$pm'6 = \max \{pm5 + bm_{0-1} \text{ and } pm6 + bm_{1-1}\}$$

[0021] It sets at an upper ceremony and $pm1$ and a decoder input are a pass metric value in the condition 1 in a certain time of day $v1$ $v2$ It is the new pass metric value which sets branch metric at the time to bmv_{1v2} , and is calculated by it $pm'1$ It is carrying out.

0022] In the maximum ** pass metric selection circuitry 36, the maximum ** pass is chosen according to the regulation shown in an above-mentioned formula, and pass metric is latched by latch 37. Here, the figure on each signal line shows the bit width of face of the signal line. if the sampling bit width of face of an A/D converter considers as 6 bits -- amplitude-reference-level R -- since he has no sign -- 5 bits -- it is -- branch

metric -- a 7-bit thing is used for the adder which calculates bm. As a register which memorizes and updates pass metric, in order not to overflow, about 10 bits is used, and the 10-bit thing is used for the adder and comparator which calculate pass metric. Such bit width of face is examples, and if the sampling bit width of face of an A/D converter changes, the bit width of face of these [pm] required for an internal arithmetic or bm will also be fluctuated according to it.

[0023] The result of having chosen the maximum ** pass is supplied to the pass memory 38, and the processing which survives from the information and extracts pass to one is made by the pass memory 38. Pass memory length can set up the number of bits now from the exterior. That is, it changes whether an output is taken from which register of pass memory with a pass memory length setting signal. The detection result from the pass memory 38 is supplied to the channel decoder 42, and it is changed into the information word whose 10-bit symbolic language is 8 bits. The output of the channel decoder 42 is supplied to the synthetic circuit 39, by the synthetic circuit 39, the even-numbered sequence and the odd-numbered sequence are compounded, and the final decode result 41 is outputted. In order to compound the output of the even-numbered processing circuit 32, and the output of the odd-numbered processing circuit 33 by the synthetic circuit 39, the output of odd / even number change circuit 40 is supplied to the synthetic circuit 39.

[0024] A format of the typical sector ID used for drawing 8 on record media, such as a hard disk and an eliminable optical disk, is shown. That is, Sector ID consists of a total of 6 bytes of a field number (1 byte), a track number (2 bytes), a sector number (1 byte), and error detecting code (it omits Following CRC) (2 bytes). Although not illustrated after Sector ID, a data sector is located through a gap. By the system which combined PR (1, 0, -1) and an MSN sign, it is regarded as the system which combined two independent PR (1 -1), and two decoders perform decoding. Therefore, when decoding Sector ID, the amount of data which each PR (1 -1) decoder decodes is 3 bytes each. Since data are encoded by 8/10 conversion, 3 bytes becomes 30 bits. That is, the amount of data which each decoder decodes is 30 bits at a time.

[0025] However, 10 bits of signs for carrying out termination of the pass memory are attached behind actually required data. This is the sign which can survive when the 10 bits come, and can extract pass to one. therefore, pass memory length added 10 bits of termination signs to 30 bits of data -- if there are 40 bits, it will come out enough.

[0026] Drawing 9 shows the detailed block diagram of an example of the pass memory 38 in one example of this invention. The registers 51-57 used for the pass memory 38 express the die length whose one block is 10 bits. An output is taken from the head of the pass memory 38 from the place of the register 54 which is 40 bits, and the register 57 which is the last stage, and these one side is alternatively outputted with a pass memory length selection signal in a selector 58. When it is made as [become / pass memory length / when decoding Sector ID / 40 bits] and data are usually decoded by selection actuation of a selector 58, pass memory length is made to become 70 bits.

[0027] Although the example mentioned above is an example whose sector ID is 6 bytes, when this is 8 bytes, for example, the pass memory length when decoding Sector ID becomes 50 bits. Pass memory length is similarly selected at the time of other byte counts. Moreover, when usually decoding data, it may be used by about 60 bits by the S/N ratio of a regenerative signal. That is, in the time of usually decoding data with the time of decoding Sector ID, required optimal pass memory length differs and it is made as [choose / the respectively optimal thing].

[0028] The detection result outputted from the pass memory 38 is inputted into the channel decoder 42 by making 10 bits into a unit, and is changed into a 8-bit information word according to the decode table of drawing 10 . However, when it is F, *F and phiF a decode result is indicated to be to drawing 4 , or phi*F, it is further corrected and outputted by the next Ruhr from the following 10 bits.

[0029] They are $w=w_1, \dots, w_8$, and the corrected decode result about the result temporarily decoded [symbolic language / which it is going to change now] on $z=z_1, \dots, z_{10}$, and a decode table (drawing 10) in $y=y_1, \dots, y_{10}$, and the following symbolic language (read-ahead symbolic language) of those $x=x_1, \dots, x_8$ It carries out. Moreover, let $V(y)$ be the number of 1 contained in y . At this time, x is given by $x_i = w_i \cdot O + U(y, z)$ by the function U defined below ($O+$ means addition of mod.2). Here, *100 show 3 bit data other than 100.

[0030] $U(y, z) = 1$ if $V(y) = 5$ and $y_1 y_2 = 11$ and $(V(z) = 6) ()$ or $(V(z) = 5 \text{ and } ()) [z_1] z_2 z_3 z_4 = 0111$ or * 1000 or if $V(y) = 5$ and $y_1 y_2 = 00$ and $(V(z) = 4) (\text{or}) U(V(z) = 5 \text{ and } [z_1 z_2 z_3 z_4 = 1000 \text{ or } *0111])$ $(y, z) = 0$ otherwise.

[0031] In the time of the symbolic language y which it is going to decode being F or *F, it is set to $U = 1$, the bit of w is reversed, and this is set to x . When the sign y which it is going to decode is phiF or phi*F, it is set to $U = 0$, and the bit of w is set to x as it is.

[0032] Although the example of the above-mentioned Viterbi decoder described the example which considers that PR (1, 0, -1) are two independent PR (1 -1), and processes them, of course, this invention is applicable similarly about the circuit for PR (1 -1), PR (1 1), etc.

[0033] As one example mentioned above showed, it is assigned to the specific binary data (for example, 0) which has the symbolic language which can decide the undecided sequence at the time of maximum likelihood decoding as a method of channel coding / decryption, and the method it was made to decide maximum likelihood decoding by this binary data is proposed. By this method, there was a case where it was required as a configuration of a channel decoder to predict a 1-word symbolic language. That is, since the WORD was not able to be decoded until the 1-word data as follows come in case channel decode of a certain WORD is carried out, the decoding delay for 1 word was too much needed, and there was a problem that decoding delay became large by it. When decoding delay became large, the gap between sectors became large and it had become

the factor which decreases the storage capacity on which this can record data.

[0034] Other examples of this invention are made in view of such a point, and are made to make decoding delay small. As one above-mentioned example described the sign to be corrected by read ahead at the time of channel decode, it is only at the time of F of drawing 4, or *F. Therefore, a 1-word read ahead can be made unnecessary by making it not use the symbolic language used as F or *F.

[0035] Sector ID consists of a total of 6 bytes of a field number (1 byte), a track number (2 bytes), a sector number (1 byte), and CRC (2 bytes) like one example (drawing 8 A). Since the number of pages of a disk required for per equipment is usually two to about 16, the number of bits required for a field number is 1-4 bits. Since the number of trucks is usually 4000 - 10000 truck extent, the number of bits required as a track number is about 12-14 bits. Since the number of sectors is 50 - 100 sector extent, the number of bits required as a sector number is about 6-7 bits.

[0036] That is, the redundant bit which is not used in fact exists in the number of bits (it is [number / field] 8 bits at 16 bits and a sector number in 8 bits and a track number) assigned to each. Therefore, MSB can also be fixed to 1 in case these are recorded.

[0037] The 8-bit information words which generate F or *F in the case of channel coding are 120-127, as shown in drawing 4. Since the MSB is 0, these can all be prevented from generating the symbolic language equivalent to F or *F by fixing MSB to 1 as mentioned above. On the other hand, since CRC is generated by the operation from these bits, it is necessary to use 16 bits of all, and the MSB is set also to 0 and 1 with the combination of bits, such as a field number. However, MSB of CRC can be fixed to 1 and it is made for it not to generate F or *F in the case of channel coding by assigning MSB of CRC to the bit which remained further for example, by the field number.

[0038] Other examples of this invention can reduce the decoding delay at the time of sector ID decode, when a read ahead assigns only an unnecessary sign to Sector ID at the time of decode of a channel sign. The numbers of bits required of the sector ID shown in the same drawing 8 A as one example mentioned above are the field number of 2 bits, the track number of 12 bits, the sector number of 7 bits, and 16 bits of CRC. They are these bits, respectively m1 m0, t11, t10, ..., t0, s6, s5, ..., s0, c15, and c14, ..., c0 It expresses. These numbers of bits are examples and can apply this invention similarly with the different number of bits. It records in sequence as shows these bits to drawing 8 B. Here, it is z1 and z0. c15 and c7 It is an adjustment bit for making it 0, and is decided as follows.

[0039] Let the generating polynomial of CRC be the following as an example.
 $f(x) = x^{16} + x^{12} + x^5 + 1$ -- this generating polynomial and a corresponding example of a CRC generation circuit are shown in drawing 11. However, the notation which surrounded + by 0 in drawing 11 is mod.2. Expressing the exclusive OR gate for calculating, D expresses the 1-bit delay element (register). The contents $x^{16} - x^1$ of each register in the time of inputting 1 bit of signals at a time into this circuit, and finishing

inputting the last bit It becomes 16 bits (c15-c0) of CRC.

[0040] Sector ID is inputted as it being also in the sequence shown in the CRC generation circuit of drawing 11 by drawing 8 B. x16 at the time of inputting all the bits of a sector number and a track number, and 4 bits (all 1) of the head of a field number, x12, and x5 A value is used and it is z1 and z0. The following formula determines.

$$[0041] z1 = * (x16O + x12)$$

$$z0 = * (x16O + x5)$$

However, * means the reversal in (), and O+ is mod.2. Addition is meant. Thereby, it is z1. 1 is set to x13 when inputted. z0 the time of being inputted -- x14 and x6 **** -- 1 is set [both].

[0042] They are the field numbers m1 and m0 succeedingly. When inputted, it is x14 and x6. Since two bit shifts are only carried out, it is x16 and x8. It is set to 1 both. Registers x16-x1 in this time The contents are c15-c0. Since it becomes, it is c15 and c7. It is set to 1 both. Namely, c15 and c7 It is 2-bit information z1 and z0 When it is made to move to a location and a view is changed, it is z1, z0, c14-c8, and c6 -c0. It can also be said that 16 bits is a bit added to error detection.

[0043] It is 1, and as for F and *F, according to the transformation rule of drawing 4 , all the information words inputted into a channel encoder by carrying out such conversion are not generated for the MSB. Therefore, in case such a signal is reproduced, amendment by Function U can be performed at the time of channel decode as it is unnecessary.

[0044] The block diagram of an example of the channel decoder which can apply this invention to drawing 12 is shown. The input data from the Viterbi decoder is gathered per 10-bit symbolic language with the serial/parallel-conversion vessel 61, is changed into 8 bits by 8 / 10 decode table 62, and is latched by latch 63. The decode table 62 is shown in drawing 10 . Latch's 63 output is inputted into the amendment circuit 64 as a signal w.

[0045] The output of the serial/parallel-conversion machine 61 is inputted into the amendment circuit 64 as a signal z, and is latched by latch 66 and inputted into the amendment circuit 66 as a signal y. The amendment circuit 64 amends with the function U which one example defined from these signals w, y, and z, and outputs x.

[0046] In a selector 65, when choosing and outputting the output of 8 / 10 decode table 62 with a read-ahead control signal when decoding Sector ID, and usually decoding a sector, the output of the amendment circuit 64 is chosen and outputted. That is, ON/OFF of the amendment function by read ahead are changed by the read-ahead control signal supplied to a selector 65. Since each MSB of the data contained in Sector ID is being fixed to 1 like other examples of this invention mentioned above at the time of channel coding, the amendment by Function U is unnecessary about Sector ID. Therefore, a

decode result is outputted, when decoding Sector ID, and a read-ahead capability is not used but the symbolic language concerned is inputted. A read-ahead capability is used at the time of playback of usual data other than Sector ID, and a decode result is amended and outputted to it by the contents of the following symbolic language.

[0047] In one example and other examples which were mentioned above, the number of bits used for the field number etc. is an example, for example, if there are n bits of redundant bits when Sector ID is n bytes, it is possible to set all cutting tools' MSB to 1 by the same actuation as this. For example, it is applicable, if the sum total of the number of bits required for a field number, a track number, a sector number, and CRC is 40 bits or less when Sector ID is 6 bytes.

[0048]

[Effect of the Invention] As explained above, according to one example of this invention, when decoding Sector ID, decoding delay can be shortened, and it becomes possible only for that part to shorten the gap between Sector ID and a data area. Thereby, it becomes possible to make the storage capacity of storage increase.

[0049] According to this invention, as explained above, when decoding Sector ID, a read ahead of data becomes unnecessary and can shorten that part decoding delay. Therefore, it becomes possible only for the part to shorten the gap between Sector ID and a data area. Thereby, it becomes possible to make the storage capacity of storage increase.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the record reversion system of a partial response.

[Drawing 2] It is drawing explaining the relation between a partial response (1, 0, -1) and a partial response (1 -1).

[Drawing 3] It is the block diagram showing the configuration of the data storage which can apply this invention.

[Drawing 4] It is the abbreviation diagram showing an example of the coding regulation of channel coding which can apply this invention.

[Drawing 5] It is the abbreviation diagram showing an example of the data-conversion table of channel coding which can apply this invention.

[Drawing 6] It is the block diagram showing the configuration of one example of the Viterbi decoder to which this invention was applied.

[Drawing 7] It is the abbreviation diagram showing an example of the trellis diagram in the system which combined the partial response (1 -1) and the MSN sign.

[Drawing 8] It is an abbreviation diagram for explaining a format of the sector ID in a format and this invention of the sector ID which can apply this invention.

[Drawing 9] It is the block diagram showing the configuration of an example of the pass memory of the Viterbi decoder to which this invention was applied.

[Drawing 10] It is the abbreviation diagram showing the decode table of a channel decoder.

[Drawing 11] It is the block diagram of an example of the circuit which generates error detecting code.

[Drawing 12] It is the block diagram of an example of the channel decoder with which this invention was applied.

[Description of Notations]

24 Viterbi Decoder

32 Processing Circuit of Even-numbered Sequence

33 Processing Circuit of Even-numbered Sequence

35 Branch Metric Arithmetic Circuit

36 The Maximum ** Pass Metric Selection Circuitry

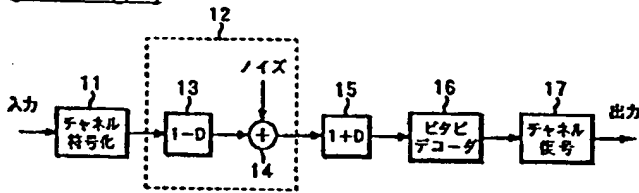
42 Channel Decoder

62 8 / 10 Decode Table

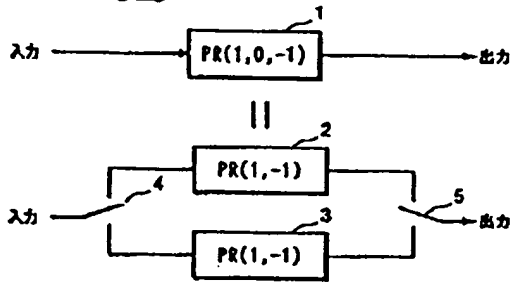
64 Amendment Circuit

65 Selector

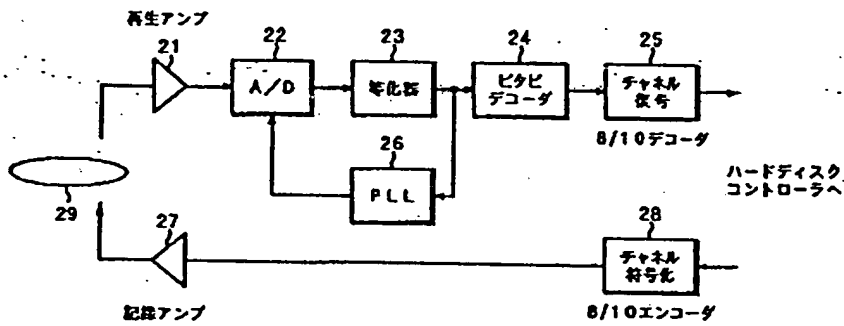
[Drawing 1]



[Drawing 2]



[Drawing 3]



[Drawing 4]

現在の状態	情報語	次の状態	符号語
0	0-99	3	A(100)
0	100-142	1	B(43)
0	143-255	2	C(113)
1	0-76	2	D(77)
1	77-119	0	E(43)
1	120-127	1	F(8)
1	128-135	2	G(8)
1	136-255	0	H(120)
2	0-76	1	I(77)
2	77-119	3	J(43)
2	120-127	2	K(8)
2	128-135	1	L(8)
2	136-255	3	M(120)
3	0-99	0	N(100)
3	100-142	2	O(43)
3	143-255	1	P(113)

リスト A

351	367	375	378	381	382	415	431	439	443	445	446	463	471	475
477	478	487	491	493	494	499	501	502	505	506	607	623	631	635
637	638	671	687	695	699	701	702	719	727	731	733	734	743	747
749	750	755	757	758	761	762	799	815	823	827	829	830	847	855
859	861	862	871	875	877	878	883	885	886	889	890	911	919	923
925	926	935	939	941	942	947	949	955	953	954	967	971	973	974
979	981	982	985	986	995	997	998	1001	1002					

リスト B

380	444	476	492	497	498	500	504	538	700	732	748	753	754	756
760	828	850	876	881	882	884	888	924	940	945	946	948	952	963
965	966	969	970	972	977	978	980	984	993	994	996	1000		

[illegible]

リスト E

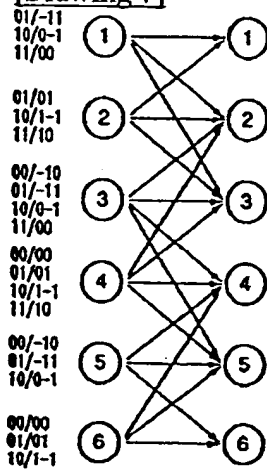
240	368	432	449	450	452	456	464	480	624	688	705	708	708	712
720	736	773	774	777	778	780	785	786	788	792	801	802	804	808
816	833	834	836	840	848	864	897	898	900	904	912	928		

リスト F

124 168 220 236 241 242 244 248

347	349	350	359	363	365	366	371	373	374	377	378	407	411	413
414	423	427	429	430	435	437	438	441	442	455	459	461	462	467
469	470	473	474	483	485	486	489	490	599	603	605	606	615	619
621	622	627	629	630	633	634	663	667	669	670	679	683	685	686
691	693	694	697	698	711	715	717	718	723	725	728	729	730	739
741	742	745	746	791	795	797	798	807	811	813	814	819	821	822
825	828	839	843	845	846	851	853	854	857	858	867	869	870	873
874	903	907	909	910	915	917	918	921	922	931	933	934	937	938

[Drawing 7]



[Drawing 8]

A

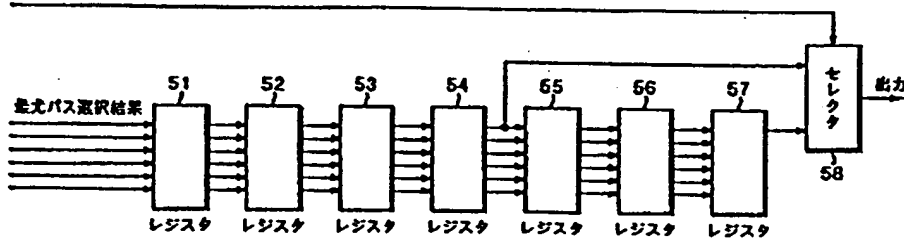
面番号	トラック番号	セクタ番号	CRC
1 バイト	2 バイト	1 バイト	2 バイト

B

セクタ番号	トラック番号	面番号	CRC
1 S ₀ S ₁ S ₂ S ₃ S ₄ S ₅ S ₆ S ₇ S ₈ S ₉	1 1 T ₁ T ₂ T ₃ T ₄ T ₅ T ₆ T ₇ T ₈ 1 1 T ₉ T ₁₀ T ₁₁ T ₁₂ T ₁₃ T ₁₄ T ₁₅ T ₁₆	1 1 1 1 Z ₁ Z ₂ M ₁ M ₂	C ₁₅ C ₁₄ C ₁₃ C ₁₂ C ₁₁ C ₁₀ C ₉ C ₈ C ₇ C ₆ C ₅ C ₄ C ₃ C ₂ C ₁ C ₀

[Drawing 9]

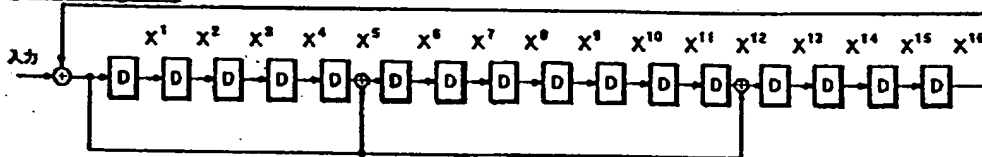
バスメモリ長選択回路



[Drawing 10]

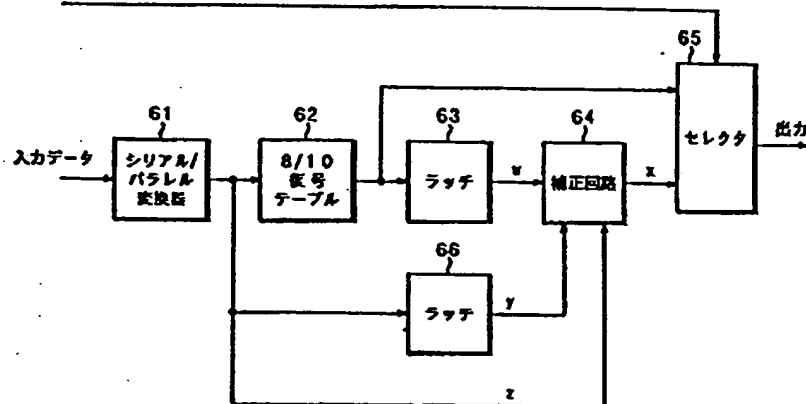
Y	V
A	0-99
*A	0-99
B	100-142
*B	100-142
6(note CCG)	136-255
*6	136-255
D	0-76
*D	0-76
E	77-119
*E	77-119
6F	128-135
*6F	128-135
その他	0または消失指示子

[Drawing 11]



[Drawing 12]

先読みコントロール信号



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-148944

(43)公開日 平成9年(1997)6月6日

(51)Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/12			H 0 3 M 13/12	
G 1 1 B 20/14	3 4 1	9463-5D	G 1 1 B 20/14	3 4 1 B
20/18	5 3 4	9558-5D	20/18	5 3 4 A
	5 7 0	9558-5D		5 7 0 F
	5 7 2	9558-5D		5 7 2 B

審査請求 未請求 請求項の数 8 FD (全 9 頁) 最終頁に続く

(21)出願番号 特願平7-328359

(22)出願日 平成7年(1995)11月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 林 信裕

東京都品川区北品川6丁目7番35号 ソニ
株式会社内

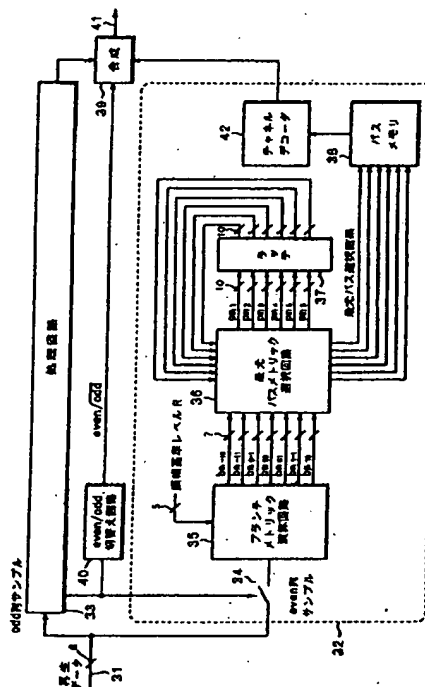
(74)代理人 弁理士 杉浦 正知

(54) 【発明の名称】 ビタビ復号器および情報再生装置

(57) 【要約】

【課題】 セクタIDを復号する際の遅延を減少させ、セクタIDとデータ部との間のギャップを減少させる。

【解決手段】 8/10MSN符号により符号化され、パシカルレスポンスPRIV系を介された再生データ31が供給され、偶数番目の系列と奇数番目の系列とが処理回路32および33によってそれぞれビット復号される。最尤パス選択結果がバスメモリ38に供給される。バスメモリ38は、セクタIDの復号時と通常のデータの復号時とで、バスメモリ長が切り替えられる。セクタIDの復号時では、バスメモリ長がより短くされ、それによって、セクタIDの復号時の遅延を減少させることができる。



【特許請求の範囲】

【請求項1】 入力データが供給され、ブランチメトリックを計算し、計算されたブランチメトリックを加算して、バスメトリックを求め、求められたバスメトリックから最尤パスを出力するようにしたビタビ復号器において、

復号するデータ長とバスメモリを終端する符号長に等しい長さを持つバスメモリを備えることを特徴とするビタビ復号器。

【請求項2】 パーシャルレスポンス方式を利用して記録媒体の所定の位置データが記録された記録媒体を再生する情報再生装置において、再生信号を最尤復号法によって復号するビタビ復号器を有し、

上記ビタビ復号器は、復号するデータ長とバスメモリを終端する符号長に等しい長さを持つバスメモリを備えることを特徴とする情報再生装置。

【請求項3】 請求項2に記載の情報再生装置において、

8ビットの情報語を10ビットの符号語に変換すると共に、とりうる符号同士の最小距離がある値以上になるように変調する、チャンネル符号化の復号を行うチャンネル復号手段をさらに有することを特徴とする装置。

【請求項4】 請求項3に記載の情報再生装置において、

上記チャンネル復号手段は、復号すべき符号語が次の符号語を復号のために必要としないようにした復号テーブルを有することを特徴とする情報再生装置。

【請求項5】 請求項1または2に記載の装置において、

上記復号データは、記録再生ヘッドが所定の位置にあることを確認するためのデータであることを特徴とする装置。

【請求項6】 請求項1または2に記載の装置において、

上記バスメモリは、上記復号データが記録再生ヘッドが所定の位置にあることを確認するためのデータであるか否かによってバスメモリ長を変化させることを特徴とする装置。

【請求項7】 請求項1または2に記載の装置において、

再生データのビット誤りを検出する信号を、当該データの最終部以外の場所に付加する手段をさらに備えることを特徴とする装置。

【請求項8】 請求項1または2に記載の装置において、

再生データのビット誤りを検出する信号を、当該データの最終部以外の場所に付加する手段と、

上記ビット誤りを検出する信号の内、ある特定ビットが

ある固定値となるよう変換する手段とを備えることを特

徴とする装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、磁気ディスクや磁気テープなどからデジタルデータを再生するのに適用されるビタビ復号器およびそれを使用した情報再生装置に関する。

【0002】

【従来の技術】磁気記録装置においては、変調符号としてパーシャルレスポンスクラスIV PR(1, 0, -1)またはクラスI PR(1, 1)が用いられる場合がある。図1は、その記録再生の系のうち、クラスIVについてブロック図で示している。信号はチャンネル符号化器11によって変調され、記録される。記録された信号は、磁気記録再生系12を通るため微分され、ノイズが加わった信号として再生される。磁気記録再生系12は、記録回路、記録ヘッド、記録媒体、再生ヘッドおよび再生回路を統合的に見たもので、システム多項式1-Dの系13と、ノイズが重畳される加算器14とを含むものである。再生信号は等化器15によってパーシャルレスポンスクラスIVに等化され、最尤復号法により復号するビタビデコーダ16によって復号される。復号された信号は、チャンネル復号器17によって元のデータに変換され、出力される。

【0003】パーシャルレスポンスクラスIVすなわちPR(1, 0, -1)のシステム多項式は $G(D) = 1 - D^2$ 、PR(1, -1)のシステム多項式は $G(D) = 1 - D$ であるから、PR(1, 0, -1)は独立なふたつのPR(1, -1)がタイムスロット上で交互に入れ子になっているとみなせる。従って、磁気記録系では、図2に示すように、パーシャルレスポンスのデコーダ1は、二つのPR(1, -1)のデコーダ2および3に分けることができる。つまり、入力系列を入力スイッチ4により偶数系列および奇数系列に分け、偶数系列をデコーダ2に供給し、奇数系列をデコーダ3に供給し、それぞれの系列を独立に処理した後で出力スイッチ5により合成する。このように、PR(1, -1)の系に各種変調符号を組み合わせたものを取り扱うことが多い。

【0004】図1に示すビタビデコーダ16に代表されるように、復号法としては、最尤復号が知られている。これは、着目した点の前後のサンプル点の値も使って一つの系列としてもっとも確からしい系列を推定していくという方法である。ビタビデコーダは、バスメトリックを計算して生き残りパスを推定するACS(Add Compare Select)と、推定された結果からデコード結果を得るためのバスメモリの部分から構成される。バスメトリックを計算する処理は、1サンプル前のバスメトリックの値とブランチメトリックの値とを加えたものの大小関係を各パス同士で比較することによって行なわれる。

【0005】また、パーシャルレスポンスと、符号間の

最小ユークリッド距離を大きくとることができるMatched Spectral Null符号（以下MSN符号と略す）を組み合わせて、これをビタビ復号することによって検出能力を高めるようにした手法も提案されている（例えば米国特許第5,095,484号）。

【0006】

【発明が解決しようとする課題】従来のMSN符号をビタビ復号する回路においては、最尤系列を確定するために、バスメモリが長く必要であり、再生信号がビタビ復号器に入力されてから復号結果が出力されるまでのデコード遅延が大きくなるという問題があった。また、MSN符号の種類によっては、チャネル符号を元の符号に変換する際、その次に来るデータを用いてチャネル復号をする必要があり、それによってデコード遅延がさらに大きくなるという問題があった。このように、デコード遅延が大きくなると、例えば磁気ディスクでは、セクタ間のギャップを大きくすることが必要になり、これがデータを記録できる記憶容量を減少させる要因になる。

【0007】従って、この発明の目的は、デコード遅延を小さくすることが可能な最尤復号器および情報再生装置を提供することにある。

【0008】

【課題を解決するための手段】請求項1の発明は、入力データが供給され、ブランチメトリックを計算し、計算されたブランチメトリックを加算して、バスメトリックを求め、求められたバスメトリックから最尤バスを出力するようにしたビタビ復号器において、復号するデータ長とバスメモリを終端する符号長に等しい長さを持つバスメモリを備えることを特徴とするビタビ復号器である。

【0009】請求項2の発明は、パーシャルレスポンス方式を利用して記録媒体の所定の位置データが記録された記録媒体を再生する情報再生装置において、再生信号を最尤復号法によって復号するビタビ復号器を有し、ビタビ復号器は、復号するデータ長とバスメモリを終端する符号長に等しい長さを持つバスメモリを備えることを特徴とする情報再生装置である。

【0010】この発明による情報再生装置は、8ビットの情報語を10ビットの符号語に変換すると共に、とりうる符号同士の最小距離がある値以上になるように変調する、チャネル符号化の復号を行うチャネル復号手段をさらに有する。このチャネル復号手段は、復号すべき符号語が次の符号語を復号のために必要としないようにした復号テーブルを有するものである。

【0011】MSN符号をビタビ復号する回路においては、バスメモリが120～140ビット必要であるが、セクタIDのように、デコードするデータそのものがそれより短い場合には、バスメモリ長をデータ長にほぼ等しくすることによって、セクタIDデコード時のデコード遅延を減少させることができるようになる。

【0012】

【発明の実施の形態】以下、この発明の一実施例について説明する。図3は、この発明をデータ記憶装置に適用した一実施例の構成を示す。記録するデータは、ハードディスクコントローラから出力され、チャネル符号化器28によってMSN符号に変調され、記録アンプ27を通して記録媒体29（例えば消去可能な光ディスク）に記録される。チャネル符号化の方式は、例えば8ビットの情報語をランレングスを制限するように、10ビットの符号語へ変換する8/10変換である。この8/10変換は、とりうる符号語同士の最小距離がある値以上になるように変調するものである。

【0013】記録媒体29から再生された信号は、再生アンプ21を経てA/D変換器22によりデジタル信号に変換され、等化器23によってパーシャルレスポンスクラスIVの特性に等化される。等化された信号からPLL26によってクロックが再生される。また、等化された信号はビタビデコーダ24によってデコードされ、チャネル復号器25によって復号された後、ハードディスクコントローラを経由してホストコンピュータに送られる。チャネル復号器25は、チャネル符号化器28とは、逆に10ビットの符号語を8ビットの情報語へ変換する。

【0014】チャネル符号化器28では、8ビットを単位としてこれを10ビットに変換する処理が行なわれる。一例として、チャネル符号器28は、内部に4つの状態（0～3）を持ち、それぞれの状態ごとに、入力データ（情報語）は、図4および図5に従って符号語に変換される。図4において、Aは、図5のリストAに従って変換されることを表し、*Aは、図5のリストAに従って変換され、且つその値のビット毎に反転したもののへ変換されることを表し、φAは図5のリストAに示す値の順番を逆にしたリストに従って変換されることを表す。リストC（情報語の143～255）は、リストGの120個の符号語（情報語の136～255）の中に含まれている。例えば、チャネル符号化器28の内部状態が0で、情報語として100が入力されたとき、リストBの先頭の符号語380を出力し、内部状態を1とする。

【0015】図6は、ビタビデコーダ24の一例の詳細な構成を示す。A/D変換器22によってサンプリングされた再生信号31は、1ビットおきにスイッチャ34によってデインターリーブされて、それぞれ偶数番目系列を処理する回路（デコーダ）32、奇数番目系列を処理する回路（デコーダ）33に入力される。偶数番目系列/奇数番目系列を処理する回路の構成は互いに同じものであり、図6は、偶数番目系列を処理する回路32の詳細を示している。

【0016】ここで、PR（1，-1）チャネルに8/10MSN符号を組み合わせた系においては、偶数番目

および奇数番目の各系列用のビタビデコードが追跡するトレリスは、図7に示すようなものである。すなわち、内部に状態を6個もち、連続する2サンプルの値を一まとめとして処理を行なう。図7において、各状態の左側に示されている記号は、ビタビデコードの検出結果/デコード入力を2ビット単位で示したものである。例えば、01/-11とあるのは、ビタビデコードに入力された値が-1、1の2ビットのとき、検出結果は01の2ビットとなる、ということを表している。

【0017】これらの連続する2サンプルの値を z_1 、 z_2 、振幅基準レベルを R とすると、ブランチメトリック演算回路35では、次の式に従ってブランチメトリック $b_{m-10} \sim b_{m10}$ が計算される。

$$\begin{aligned} pm_1 &= \max \{ pm_1 + b_{m-11}, pm_2 + b_{m01} \} \\ pm_2 &= \max \{ pm_1 + b_{m0-1}, pm_2 + b_{m1-1}, pm_3 + b_{m-10}, pm_4 + b_{m00} \} \\ pm_3 &= \max \{ pm_1 + b_{m00}, pm_2 + b_{m10}, pm_3 + b_{m-11}, pm_4 + b_{m01} \} \\ pm_4 &= \max \{ pm_3 + b_{m0-1}, pm_4 + b_{m1-1}, pm_5 + b_{m-10}, pm_6 + b_{m00} \} \\ pm_5 &= \max \{ pm_3 + b_{m00}, pm_4 + b_{m10}, pm_5 + b_{m-11}, pm_6 + b_{m01} \} \\ pm_6 &= \max \{ pm_5 + b_{m0-1}, pm_6 + b_{m1-1} \} \end{aligned}$$

【0021】上式において、ある時刻での状態1でのバスメトリックの値を pm_1 、デコード入力が v_1, v_2 の時のブランチメトリックを b_{m1}, v_2 とし、それによって計算される新たなバスメトリックの値を pm_1 としている。

【0022】最尤バスメトリック選択回路36では、上述の式に示す規則に従って最尤パスが選択され、バスメトリックがラッチ37によってラッチされる。ここで、各信号線の上の数字は、その信号線のビット幅を示している。例えば、A/Dコンバータのサンプリングビット幅が6ビットとすると、振幅基準レベル R は符号なしのため5ビットであり、ブランチメトリック b_m を計算する加算器は、7ビットのものを使用する。バスメトリックを記憶・更新するレジスタとしては、オーバーフローしないために、例えば10ビット程度用い、バスメトリックを計算する加算器や比較器には、10ビットのものを使用している。これらのビット幅は一例であり、A/D変換器のサンプリングビット幅が変われば、内部演算に必要なこれら pm や b_m のビット幅もそれに従って増減される。

【0023】最尤パスを選択した結果はバスメモリ38に供給され、バスメモリ38ではその情報から生き残りパスを一つにしぼる処理がなされる。バスメモリ長は、外部からそのビット数を設定することができるようにになっている。すなわち、バスメモリ長設定信号によって、バスメモリのどのレジスタから出力をとるかを切り替えられるようになっている。バスメモリ38からの検出結果がチャンネルデコード42に供給され、10ビットの符号語が8ビットの情報語へ変換される。チャンネルデコード42の出力が合成回路39に供給され、合成回路39によって、偶数番目系列と奇数番目系列を合成して※50

$$* \cdot [0018] \quad b_{m-10} = R - 2z_1$$

$$b_{m-11} = -2z_1 + 2z_2$$

$$b_{m0-1} = R - 2z_2$$

$$b_{m00} = 2R$$

$$b_{m01} = R + 2z_2$$

$$b_{m1-1} = 2z_1 - 2z_2$$

$$b_{m10} = R + 2z_1$$

【0019】最尤バスメトリック選択回路36では、次式に示す規則に従って最尤パスが選択され、バスメトリックがラッチ37によってラッチされる。この場合、バスメトリックを計算する式は、次のものとなる。

$$[0020]$$

20※最終的な復号結果41を出力する。合成回路39によって偶数番目の処理回路32の出力と奇数番目の処理回路33の出力とを合成するために、奇数/偶数切替え回路40の出力が合成回路39に対して供給される。

【0024】図8に、ハードディスク、消去可能な光ディスク等の記録媒体上で使用される典型的なセクタIDのフォーマットを示す。すなわち、面番号(1バイト)、トラック番号(2バイト)、セクタ番号(1バイト)、誤り検出符号(以下CRCと略す)(2バイト)の計6バイトからセクタIDが構成される。セクタIDの後に図示しないが、データセクタがギャップを介して位置する。PR(1, 0, -1)とMSN符号を組み合わせた系では、二つの独立なPR(1, -1)を組み合わせた系とみなして、2つのデコードによってデコード処理を行う。従って、セクタIDを復号する場合、それぞれのPR(1, -1)デコードがデコードするデータ量は各3バイトである。データは、8/10変換で符号化されているから、3バイトは30ビットとなる。すなわち、各デコードがデコードするデータ量は、30ビットずつである。

【0025】但し、実際に必要なデータの後ろに、バスメモリを終端するための符号が10ビットつけられている。これは、その10ビットがくることによって生き残りパスを一つにしぼることができる符号である。従って、バスメモリ長はデータ30ビットに終端符号10ビットを加えた40ビットあれば十分である。

【0026】図9は、この発明の一実施例におけるバスメモリ38の一例の詳細なブロック図を示す。バスメモリ38に使用されるレジスタ51~57は、一つのブロックが10ビットの長さを表している。バスメモリ38の先頭から40ビットであるレジスタ54と、最終段で

あるレジスタ57のところから出力がとられ、セクタ58においてバスメモリ長選択信号によって、これらの一方が選択的に出力される。セクタ58の選択動作によって、セクタIDを復号する時には、バスメモリ長が40ビットになるようになされ、通常データを復号する時には、バスメモリ長が70ビットになるようになされる。

【0027】上述した例は、セクタIDが6バイトの例であるが、例えばこれが8バイトの時は、セクタIDを復号する時のバスメモリ長が50ビットとなる。他のバイト数のときも同様にバスメモリ長が選定される。また、通常データを復号する時には、再生信号のS/N比によって、60ビット程度で使用することもある。すなわち、セクタIDを復号する時と通常データを復号する時では、必要な最適バスメモリ長が異なり、それぞれ最適なものを選択するようになされる。

【0028】バスメモリ38から出力された検出結果は、10ビットを単位としてチャネルデコード42に入力され、図10の復号テーブルに従って8ビットの情報語へ変換される。ただし、復号結果が図4に示されるF、*F、φF、φ*Fのいずれかであった場合には、さらにその次の10ビットから、次のルールによって修正され、出力される。

【0029】現在変換しようとしている符号語を $y = y_1, \dots, y_{10}$ 、その次の符号語（先読み符号語）を $z = z_1, \dots, z_{10}$ 、復号テーブル（図10）によって仮に復号された結果を $w = w_1, \dots, w_8$ 、修正された復号結果を $x = x_1, \dots, x_8$ とする。また、 $V(y)$ を、 y に含まれる1の数とする。このとき、 x は次に定義する関数 U によって、 $x_i = w_i \oplus U(y, z)$ で与えられる（ \oplus は、mod. 2の加算を意味する）。ここで、*100は、100以外の3ビットデータを示している。

【0030】 $U(y, z) = 1$

if $V(y)=5$ and $y_1 y_2 = 11$ and

$((V(z)=6) \text{ or } (V(z)=5 \text{ and}$

$(z_1 z_2 z_3 z_4 = 0111 \text{ or } *1000)))$

or if $V(y)=5$ and $y_1 y_2 = 00$ and

$((V(z)=4) \text{ or } (V(z)=5 \text{ and}$

$(z_1 z_2 z_3 z_4 = 1000 \text{ or } *0111)))$

$U(y, z) = 0$ otherwise

【0031】復号しようとする符号語 y がFまたは*Fのときには、 $U=1$ となり、 w のビットを反転してこれを x とする。復号しようとする符号語 y がφFまたはφ*Fのとき $U=0$ となり、 w のビットをそのまま x とする。

【0032】上述のビタビデコードの例では、PR(1, 0, -1)を二つの独立なPR(1, -1)とみなして処理する例について述べたが、勿論、PR(1, -1)やPR(1, 1)などを対象とした回路について

も同様に、この発明を適用することができる。

【0033】上述した一実施例で示したように、チャネル符号化/復号化の方式として、最尤復号時の未確定系列を確定することができる符号語がある特定の2進データ（例えば0）に割り当てられ、この2進データにより最尤復号を確定するようにした方式が提案されている。この方式では、チャネルデコードの構成として、1ワードの符号語を先読みすることが必要な場合があった。すなわち、あるワードのチャネル復号をする際には、次の1ワードのデータが来るまで、そのワードを復号できないため、1ワード分のデコード遅延が余分に必要になり、それによってデコード遅延が大きくなるという問題があった。デコード遅延が大きくなると、セクタ間のギャップが大きくなり、これがデータを記録できる記憶容量を減少させる要因になっていた。

【0034】この発明の他の実施例は、このような点に鑑みてなされたものであり、デコード遅延を小さくするようにしたものである。チャネル復号時に先読みによって修正が必要な符号は、上述の一実施例で述べたように、図4のFまたは*Fのときのみである。従って、Fまたは*Fとなる符号語を使わないようにすることにより、1ワードの先読みを不要とすることができる。

【0035】セクタIDは、一実施例（図8A）と同様に、面番号（1バイト）、トラック番号（2バイト）、セクタ番号（1バイト）、CRC（2バイト）の計6バイトから構成される。装置1台当りに必要なディスクの面数が通常2～16程度であるため、面番号に必要なビット数は1～4ビットである。トラック数は通常4000～10000トラック程度であるためトラック番号として必要なビット数は12～14ビット程度である。セクタ数は50～100セクタ程度であるためセクタ番号として必要なビット数は6～7ビット程度である。

【0036】つまり、それぞれに割り当てられたビット数（面番号で8ビット、トラック番号で16ビット、セクタ番号で8ビット）において、実際には使われない冗長ビットが存在する。従って、これらを記録する際には、例えばMSBを1に固定することもできる。

【0037】チャネル符号化の際にFまたは*Fを生成する8ビットの情報語は、図4に示すように120～127である。これらは、全てそのMSBが0であるから、前記のようにMSBを1に固定することによって、Fまたは*Fに相当する符号語を生成しないようにすることができる。一方、CRCは、これらのビットから演算によって生成されるため、16ビットすべてを使用する必要があり、そのMSBが面番号などのビットの組合せによって0にも1にもなる。ところが、CRCのMSBを例えば面番号でさらに余ったビットに割り付けることにより、CRCのMSBを1に固定することができ、それによってチャネル符号化の際にFまたは*Fを生成しないようにする。

【0038】この発明の他の実施例は、セクタIDに対してチャネル符号の復号時に先読みが不要な符号のみを割り当てることにより、セクタID復号時のデコード遅延を減らすことができる。上述した一実施例と同様の図8Aに示すセクタIDに必要なビット数は、面番号2ビット、トラック番号12ビット、セクタ番号7ビット、CRC16ビットである。これらのビットを、それぞれ $m_1, m_0, t_{11}, t_{10}, \dots, t_0, s_6, s_5, \dots, s_0, c_{15}, c_{14}, \dots, c_0$ で表す。これらのビット数は一例であり、異なるビット数でもこの発明を同様に適用可能である。これらのビットを、図8Bに示すような順番で記録する。ここで、 z_1, z_0 は、 c_{15} および c_7 を0にするための調整ビットであり、次のようにして決められる。

【0039】一例として、CRCの生成多項式を次のものとする。

$$f(x) = x^{16} + x^{12} + x^5 + 1$$

この生成多項式と対応するCRC生成回路の一例を図11に示す。ただし、図11において、+を○で囲んだ記号は、mod.2の演算を行うためのエクスクルーシブORゲートを表し、Dは1ビットの遅延素子（レジスタ）を表している。信号を1ビットずつこの回路に入力していき、最後のビットを入力し終わった時点での各レジスタの内容 $x^{16} \sim x^1$ がCRCの16ビット ($c_{15} \sim c_0$) となる。

【0040】図11のCRC生成回路に、図8Bで示した順番でもって、セクタIDを入力する。セクタ番号、トラック番号のすべてのビットおよび面番号の先頭の4ビット（全て1）を入力した時点における x_{16}, x_{12}, x_5 の値を用い、 z_1, z_0 を次の式により決定する。

$$z_1 = * (x^{16} \oplus x^{12})$$

$$z_0 = * (x^{16} \oplus x^5)$$

但し、*は、()内の反転を意味し、 \oplus は、mod.2の加算を意味する。これにより、 z_1 が入力された時点で、 x^{13} には1がセットされる。 z_0 が入力された時点で、 x^{14} と x^6 には共に1がセットされる。

【0042】引き続き面番号 m_1, m_0 が入力されると、 x^{14} と x^6 が2ビットシフトされるだけであるから、 x^{16} と x^8 が共に1となる。この時点でのレジスタ $x^{16} \sim x^1$ の内容が $c_{15} \sim c_0$ となるため、 c_{15}, c_7 はともに1となる。すなわち、 c_{15}, c_7 の2ビットの情報を z_1, z_0 の場所に移動させたことになり、見方を変え、 $z_1, z_0, c_{14} \sim c_8, c_6 \sim c_0$ の16ビットが、誤り検出用に付加されたビットであるということもできる。

【0043】このような変換をすることにより、チャネル符号化器に入力される情報語がすべてそのMSBが1であり、図4の変換規則によると、Fおよび*Fは、生成されない。従って、このような信号を再生する際には、チャネル復号時に関数Uによる補正を不要とでき

る。

【0044】図12に、この発明を適用することができ、チャネル復号器の一例のブロック図を示す。ビタビデコードからの入力データは、シリアル/パラレル変換器61によって10ビットの符号語単位にまとめられ、8/10復号テーブル62によって8ビットへ変換され、ラッチ63によってラッチされる。復号テーブル62は、図10に示すものである。ラッチ63の出力は、信号wとして補正回路64に入力される。

【0045】シリアル/パラレル変換器61の出力は、信号zとして補正回路64に入力され、またラッチ66によってラッチされ、信号yとして補正回路66に入力される。補正回路64は、これらの信号w, y, zから一実施例で定義した関数Uによって補正を行い、xを出力する。

【0046】セクタ65において、先読みコントロール信号によって、セクタIDを復号する時には、8/10復号テーブル62の出力を選択し、出力し、また、通常セクタを復号する時には、補正回路64の出力を選択し、出力する。すなわち、セクタ65に供給される先読みコントロール信号によって、先読みによる補正機能のオン/オフが切り替えられる。チャネル符号化時に、上述したこの発明の他の実施例のように、セクタIDに含まれるデータのそれぞれのMSBが1に固定されているので、関数Uによる補正は、セクタIDについては不要である。従って、セクタIDを復号する時には、先読み機能が使用されず、当該符号語が入力された時点で、復号結果が出力される。セクタID以外の通常データの再生時には、先読み機能が使用され、次の符号語の内容によって、復号結果が補正され、出力される。

【0047】上述した一実施例および他の実施例において、面番号などに使用したビット数は一例であり、例えばセクタIDがnバイトのときは冗長ビットがnビットあれば、これと同様の操作により、すべてのバイトのMSBを1にすることが可能である。例えば、セクタIDが6バイトのときは、面番号、トラック番号、セクタ番号、CRCに必要なビット数の合計が40ビット以下であれば、適用可能である。

【0048】

【発明の効果】以上説明したように、この発明の一実施例によれば、セクタIDを復号する時にはデコード遅延を短くすることができ、セクタIDとデータ領域の間のギャップをその分だけ短くすることが可能となる。それにより、記憶装置の記憶容量を増加させることが可能となる。

【0049】以上説明したように、この発明によれば、セクタIDを復号する時にはデータの先読みが不要となり、その分デコード遅延を短くすることができ、従って、セクタIDとデータ領域の間のギャップをその分だけ短くすることが可能となる。それにより、記憶装置の

11

記憶容量を増加させることが可能となる。

【図面の簡単な説明】

【図1】パーシャルレスポンスの記録再生系の構成を示すブロック図である。

【図2】パーシャルレスポンス(1, 0, -1)とパーシャルレスポンス(1, -1)の関係を説明する図である。

【図3】この発明を適用可能なデータ記憶装置の構成を示すブロック図である。

【図4】この発明を適用できるチャンネル符号化の符号化規則の一例を示す略線図である。

【図5】この発明を適用できるチャンネル符号化のデータ変換テーブルの一例を示す略線図である。

【図6】この発明が適用されたビタビデコードの実施例の構成を示すブロック図である。

【図7】パーシャルレスポンス(1, -1)とMSN符号を組み合わせた系でのトレリスダイアグラムの一例を示す略線図である。

【図8】この発明を適用できるセクタIDのフォーマットおよびこの発明におけるセクタIDのフォーマットを

12

説明するための略線図である。

【図9】この発明が適用されたビタビデコードのバスマモリの一例の構成を示すブロック図である。

【図10】チャンネル復号器の復号テーブルを示す略線図である。

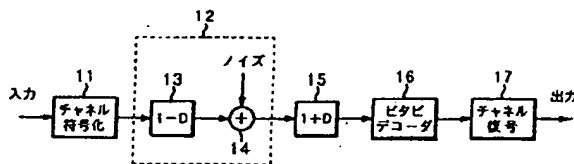
【図11】誤り検出符号を生成する回路の一例のブロック図である。

【図12】この発明が適用されたチャンネル復号器の一例のブロック図である。

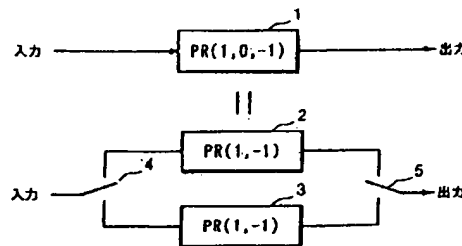
【符号の説明】

- 24 ビタビデコード
- 32 偶数番目の系列の処理回路
- 33 偶数番目の系列の処理回路
- 35 ブランチメトリック演算回路
- 36 最尤バスマトリック選択回路
- 42 チャンネルデコード
- 62 8/10復号テーブル
- 64 補正回路
- 65 セレクタ

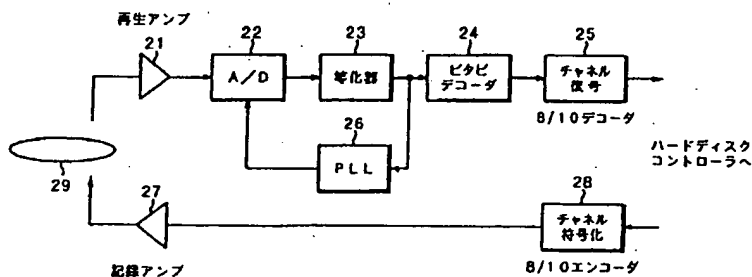
【図1】



【図2】



【図3】



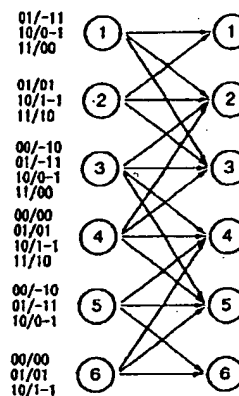
【図4】

現在の状態	情報部	次の状態	符号部
0	0-99	3	A(100)
0	100-142	1	B(43)
0	143-255	2	C(113)
1	0-76	2	D(77)
1	77-119	0	E(43)
1	120-127	1	F(8)
1	128-135	2	G(8)
1	136-255	0	H(120)
2	0-76	1	I(77)
2	77-119	3	J(43)
2	120-127	2	K(8)
2	128-135	1	L(8)
2	136-255	3	M(120)
3	0-99	0	N(100)
3	100-142	2	O(43)
3	143-255	1	P(113)

【図5】

Y	v
A	0-99
*A	0-99
B	100-142
*B	100-142
6(note C.C.G)	136-255
*G	136-255
D	0-76
*D	0-76
E	77-119
*E	77-119
F	128-135
*F	128-135
その他	0または消失指示

【图7】



リスト 8

リスト 0

リスト F

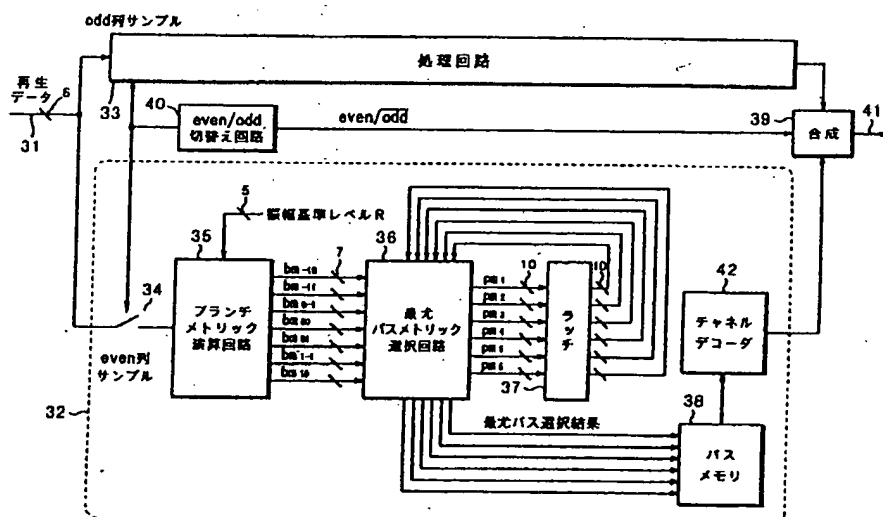
リスト F

124 188 220 236 241 242 244 248

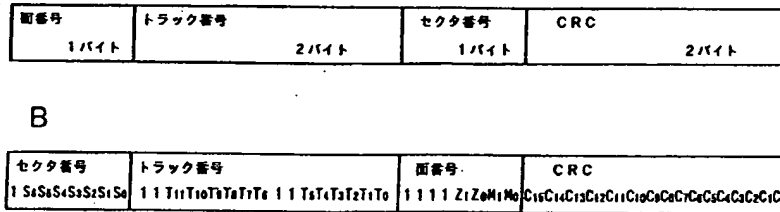
リスト G

347	349	350	359	363	365	368	371	373	374	377	378	407	411	413
414	423	427	429	430	435	437	438	441	442	455	459	481	482	467
469	470	473	474	483	485	486	489	490	599	503	505	506	515	519
521	622	627	629	630	633	634	663	667	669	670	679	683	685	686
691	693	694	697	698	711	716	717	718	723	725	726	729	730	739
741	742	745	746	791	795	797	798	807	811	813	814	819	821	822
826	828	839	843	845	846	851	853	854	857	858	887	889	870	873
874	903	807	909	910	915	917	918	921	922	931	933	934	937	938

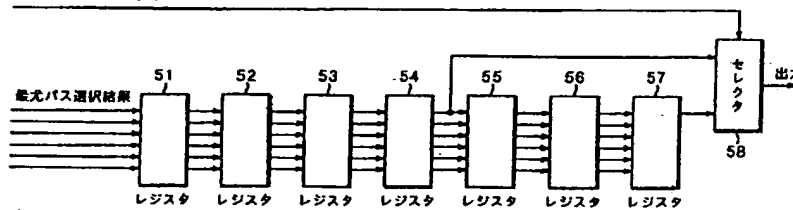
【図6】



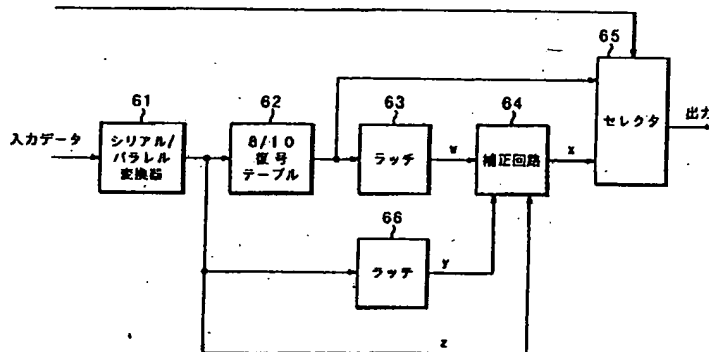
A



バスメモリ長選択信号



先読みコントロール信号



技術表示箇所

B

H04L 25/08

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.